

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2003 EPO. All rts. reserv.

12575956

Basic Patent (No,Kind,Date): JP 7202210 A2 19950804 <No. of Patents: 002>

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF (English)

Patent Assignee: SHARP KK

Author (Inventor): TANIGUCHI KOJI

IPC: *H01L-029/786; H01L-021/336

CA Abstract No: *123(22)304524K; 123(22)304524K

Derwent WPI Acc No: *C 95-313493; C 95-313493

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 7202210	A2	19950804	JP 93335344	A	19931228	(BASIC)
JP 3086579	B2	20000911	JP 93335344	A	19931228	

Priority Data (No,Kind,Date):

JP 93335344 A 19931228

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-202210

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 21/336		9056-4M 9056-4M 9056-4M	H 0 1 L 29/ 78	3 1 1 P 3 1 1 S 3 1 1 G
審査請求 未請求 請求項の数 3 O L (全 5 頁)				

(21) 出願番号 特願平5-335344

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 谷口 浩司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

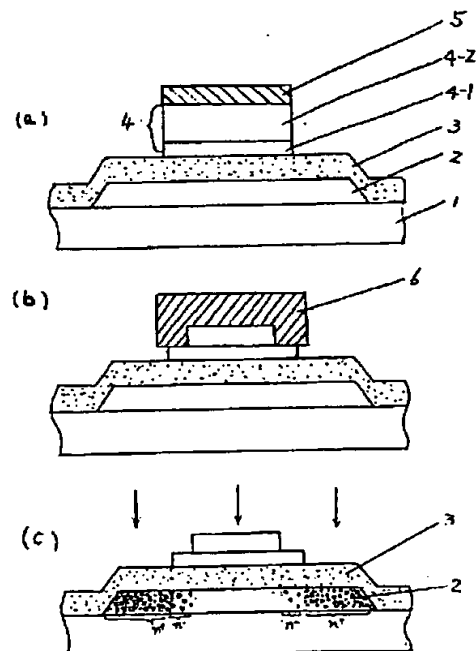
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 薄膜トランジスタ及び薄膜トランジスタの製造方法

(57) 【要約】

【構成】 ゲート電極を互いに幅異なる2層構造とし、上層の幅を下層の幅より小さくする。上記2層構造のゲート電極を形成した後、該電極をマスクとしてソースまたはドレインとなる領域へイオン注入する。好ましくは、ゲート電極を一旦パターニングした後、一方の層の一部を陽極酸化して陽極酸化膜を形成し、該陽極酸化膜のみ除去する事により2層の幅を変える

【効果】 被覆性等が向上するので信頼性の高いトランジスタが得られ、かつ、簡単にLDD構造が得られるので安価なトランジスタを提供できる。イオン注入工程が減り、コストを下げるができる。さらに、陽極酸化を用いれば、精度良くLDD構造ができる。さらには、低いイオン注入量である領域すなわちLightly Dopedの領域の直上にゲート電極がある構造すなわちゲートオーバーラップ構造ともなり、信頼性の高いトランジスタが再現性よくしかも容易に実現できる。



【特許請求の範囲】

【請求項1】 ゲート電極が互いに幅の異なる2層構造となり、上層の幅が下層の幅より小さくなっていることを特徴とするLDD構造の薄膜トランジスタ。

【請求項2】 互いに幅の異なる2層構造を有し、上層の幅が下層の幅より小さいゲート電極を形成し、この後、該ゲート電極をマスクとしてソースまたはドレインとなる領域へイオンを注入する事を特徴とするLDD構造の薄膜トランジスタの製造方法。

【請求項3】 2層構造のゲート電極を形成し、次いで、該電極のうちの上層のみを陽極酸化し、この後陽極酸化膜のみ除去する事を特徴とする請求項2記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタ及びその製造方法に関するものである。

【0002】

【従来技術】 薄膜トランジスタは非晶質シリコンあるいは多結晶シリコンをチャンネル層とするものが一般的である。特に低温プロセス（一般に600℃以下）のみで製作される多結晶薄膜トランジスタは、低価格化、大面積化と同時に、電子あるいは正孔が大きな電界移動度をもつため、液晶表示素子に用いた場合、画素用トランジスタだけでなくドライバの一体化が達成できる特徴があり、各所で開発されている。しかし、多結晶薄膜トランジスタはオフ電流（リーク電流）が大きくなり易く、画素用トランジスタとして安易に使用できない状況である。

【0003】 ところで、オフ電流を抑え、高い信頼性を得るための技術の1つにLDD(LightlyDoped Drain)構造がよく知られている。この構造は、例えば、図3に示すように、基板1上に多結晶S1層2を形成し、さらに絶縁層3を形成し、ゲート電極4を形成し（図3（1））、この状態で例えば n^+ となるようイオン注入し、次いで、酸化シリコンのサイドウォール用絶縁膜7を形成し（図3（2））、さらに、該絶縁膜7を異方性エッチバックしてサイドウォール7-1を形成し、この後にソース、ドレインとなる n^+ 領域形成のためイオン注入を行うことによって作製される。

【0004】

【発明が解決しようとする課題】 しかしながら、この方法では、セルフアラインでオフセットが形成できる特徴はあるが、サイドウォール用絶縁膜7の異方性エッチバックの工程において、ゲート絶縁膜だけを精度良く残すことが困難である。特に、ゲート絶縁膜とサイドウォール用絶縁膜は通常酸化シリコンが用いられるため、ドライエッチングでは例えば膜質を変えてもエッチングレートはほとんど同じであり、極めて困難である。このため、例えば、大面積の液晶表示装置に適用するのは実用的で

ない。また、イオン注入工程が2度必要となりコストの上昇となる。

本発明は上記問題点を解決することのできる薄膜トランジスタ及びその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明のLDD構造薄膜トランジスタは、ゲート電極が互いに幅の異なる2層構造となり、上層の幅が下層の幅より小さいことを特徴とする。

10 また、本発明の製造方法は、上記2層構造のゲート電極を形成した後、該電極をマスクとしてソースまたはドレインとなる領域へイオン注入することを特徴とする。

上記2層構造のゲート電極は、フォトリソ技術を用い、一方の層に過剰なエッチングを行うことによりこの層の寸法をフォトリソの寸法より小さくする事により作製するのが良い。

また、ゲート電極を一旦パターニングした後、一方の層の一部を陽極酸化して陽極酸化膜を形成し、該陽極酸化膜のみ除去する事により2層の幅を変えるのが良い。この場合、中性電解液中で行うのが特に好ましい。

【0006】

【作用】 本発明の薄膜トランジスタによれば、ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによる場所によるイオンの侵入深さの違いを利用して一回の注入でLDD構造の形成が可能となる。さらに、同じ厚さが一層で形成されているのに比べ、幅の異なる2層で形成されているのでゲート電極のエッジが急峻でなくなり、ゲート電極上に形成する層間絶縁膜、ソースバスラインの下地に対する被覆性等が向上し、ソースバスラインすなわち配線の断線が防止される。さらにゲートオーバーラップ構造をLDD構造形成と同時に作製することも可能である。

【0007】 本発明の製造方法によれば、上記2層構造の電極がマスクとなるので、イオン注入時の加速電圧、イオン注入量を適宜選択すれば、イオン注入時には、ゲート電極のない領域は n^+ （あるいは p^+ ）、ゲート電極が1層のみの領域は n^- （あるいは p^- ）、ゲート電極が2層ともある領域はイントゥリシック（イオン注入されていない状態）の領域が同時に形成される。すなわち一度のイオン注入で3種類の注入量がセルフアライン（位置合わせを伴うフォトリソ無し工程）で出来る。

また、過剰なエッチングを行う方法は、2層のエッチングレートを変える事いわゆる選択比を変えることは既知の技術で容易に出来、オーバーエッチングしない層をレジストの寸法通り残すことができ、比較的容易に製造できる。

また、陽極酸化による方法は、制御性が良い。特に、中性電解液を用いた陽極酸化方法を用いれば、印加電圧（あるいは電流密度）と酸化時間を制御すれば、再現性、制御性よく、大きさが変化する。

【0008】

【実施例】

実施例1

以下、図1を参照しながら第1の実施例を説明する。まず、ガラス基板1上にシラン、あるいはジシランをシリコンソースとしたLPCVD(Low Pressure Chemical Vapour Deposition)法により非晶質シリコンを500-2000Åのぞましくは1000Åの厚さに形成し、600℃中でSPC(Solid Phase Crystallization)することにより、多結晶シリコン膜2を得る。次いで、フォトリソ、エッチング工程により、所定のパターンに多結晶シリコン膜2を加工した後、ゲート絶縁膜3として酸化シリコンをスパッタ法、PCVD(Plasma assisted Chemical Vapour Deposition)法あるいはAPCVD(Atmospheric Pressure Chemical Vapour Deposition)法により形成する。さらに、ゲート電極4となる第1層4-1としてチタンあるいは窒化チタン、第2層4-2としてアルミニウム、アルミニウム合金(たとえばアルミニウムにシリコン、銅、スカンジウム、タンタル、チタン、ハフニウムの1種類あるいは2種類以上を添加した合金)膜の2層をDCスパッタ法により、第1層と第2層の合計膜厚として1000Å-20000Åの厚さに形成する。このように、2層構造は異なる材料で形成するのが後のエッチングにとって好ましい。次いで、ポジフォトリソを1000Å-100000Å望ましくは10000Åの厚さに、スピン法あるいはロールコート法により塗布、プリベークし、所定のフォトマスクにより露光、現像、ポストベークを行い、ウエットあるいはドライエッチングによりパターン5を形成する。この後、塩素を含むガスを用いたRIE(Reactive Ion Etching)により、異方性の高いエッチングでパターン5通りの加工を行う。(図1(a))

このエッチングの後、第2層4-2のみをサイドエッチングによりフォトリソに対して後退させる。これはアルミニウム膜を用いる場合には、リン酸によりウエットエッチングする。このサイドエッチングによる寸法制御はエッチングレートとエッチング時間だけに拠る。(図1(b))

この後、フォトリソを剥離し、燐をイオン注入する。一度のイオン注入により、ゲート電極4のない領域は n^+ 、ゲート電極4-1の1層のみある領域は n^- 、ゲート電極4-2の直下の領域はドーピングされない所となる。 n^+ 部には 10^{15} cm^{-2} 、 n^- 部には 10^{13} cm^{-2} オーダーの注入を行うのが好ましい。 n^+ となる領域はゲート絶縁膜3のみが、 n^- となる領域はゲート絶縁膜3とゲート電極4-1の1層が、チャンネルとなる領域はゲート電極(第2層4-2)がイオン注入マスクとなる。イオン注入の加速電圧、第1層のゲート電極の厚さおよびゲート絶縁膜の厚さは適時選択する必要があり、例えば90kVの注入エネルギーの場合第1層のゲート電極の厚さを200ないし2000Å、ゲート絶縁膜は1000Åとする。チャンネル層となるゲ

ト電極の直下にイオンが注入されないように2層構造が残っているゲート電極の厚さは例えば3000ないし10000Åとする。なお、イオン注入前にゲート電極がない領域のゲート絶縁膜を一部、あるいはすべて除去すれば、 n^+ となる領域はほとんど半導体がむきだし、 n^- となる領域はゲート絶縁膜とゲート電極の1層が、チャンネルとなる領域はゲート絶縁膜とゲート電極(2層)がイオン注入マスクとなる。したがってイオン注入の加速電圧をたとえば、10kVのように下げることができる。(図1(c))

この後、層間絶縁膜8形成、コンタクトホール形成、ソースあるいはドレインとの配線9を形成する。(図1(d))本薄膜トランジスタでは、ゲート電極のエッジは第1層の下層膜がテラス状になっているため急峻でなく、層間絶縁膜8、さらにはこの上にソースまたはドレイン配線膜が形成された場合もゲート電極に対する被覆性が改善され、配線の断線等の不良防止となる。

実施例2

以下図2を参照しながら第2の実施例を説明する。ガラス基板1上に多結晶シリコン膜2を形成し、ゲート絶縁膜3を形成しするのは実施例1と同じである。ゲート電極4となる第1層4-1として窒化チタン、第2層4-2としてアルミニウムまたはアルミニウム合金(たとえばアルミニウムにシリコン、銅、スカンジウム、タンタル、チタン、ハフニウムの1種類あるいは2種類以上を添加した合金)を用い、それぞれDCスパッタ法により1000Å-20000Åの厚さに形成する。ポジフォトリソを1000Å-100000Å望ましくは10000Åの厚さに、スピン法あるいはロールコート法により塗布、プリベークし、所定のフォトマスクにより露光、現像、ポストベークを行い、ウエットあるいはドライエッチングによりパターン5を形成する。次いで、パターン5通りにゲート電極4の加工を行う。(図2(a))

次に第2層4-2のみを陽極酸化法により一部分酸化させる。アルミニウムの場合、この方法は酒石酸アンモニウムの電解液に基板と対向電極を浸し、基板上のゲート電極と対向電極の間に電圧を印加することにより行い、電圧に依存した陽極酸化膜6が再現性よく形成出来る。別の方法としては、硫酸もしくはシュウ酸を電解液としてもちいる。電極間に3ないし20Vの電圧を加え、電圧印加時間により酸化膜厚を制御する。ここでは第1層の窒化チタンは陽極酸化されない。すなわちゲート電極の第1層と第2層は陽極酸化されない膜と陽極酸化される膜の組み合わせである必要がある。(図2(b))

このように陽極酸化工程を経た後、陽極酸化膜6のみ除去する。尚、陽極酸化膜6はあらかじめ1000ないし2000Å形成しておくがすべて除去する必要はない。例えば100Å程度残っていても問題はない。(図2(c))

この後、イオン注入技術により、例えば燐をドーピングする。ゲート電極のない領域は n^+ 、第1層のゲート電極のみある領域は n^- 、ゲート電極(第1層第2層ともにある領域)の

直下の領域はドーピングされない所となる。ただし、 n^+ とするためのイオン注入マスクとなる1層のゲート電極の厚さおよびゲート絶縁膜の厚さは適時選択する必要がある。例えば90kVの注入エネルギーの場合1層のゲート電極の厚さを200ないし2000Å、ゲート絶縁膜は1000Åとする。チャンネル層となるゲート電極の直下にイオンが注入されないように2層構造が残っているゲート電極の厚さは例えば3000ないし10000Åとする。この工程は実施例1と同じであり、この後の素子化工程も実施例1と同じである。

【0009】ところで、上記ゲート電極材料として、配線抵抗を下げることの可能な(ゲートバスラインを含む)電気比抵抗の低いアルミニウムあるいはアルミニウム合金を含むメタル層を用いる事は有用である。しかし、上記イオン注入後は、一般に例えば600℃での熱処理工程からなる活性化が必要である。イオン注入によりドーピングしても一般には不純物は活性化しない。すなわち低抵抗化しない。そのため例えば600℃での熱処理を行う。この際、耐熱性の良いポリシリコンなどをゲート電極としている場合は全く問題とならないが、上記アルミニウム等を用いた場合、高温での熱処理では熔融してしまう。一方、熔融しない温度での熱処理では活性化が十分出来ない。そこで、以下に述べるイオン注入方法では活性化工程が不要でありアルミニウム等を用いた場合好ましい。

【0010】これはフォスフィン(PH_3)、ジボラン(B_2H_6)などのガス放電により生成した燐あるいはボロンを含むイオンを所定の電圧で加速し基板に注入する方法であり、同時に水素を注入する(特許出願番号平成4-307350に記載されている。)

この方法は、質量分離を行わないため、人面積に均一に注入できる利点があり、注入後の活性化を必要としない。

尚、2層構造のゲート電極に限って説明したが3層以上の構造も同様な思想、手法の基に行えば本発明と同じである。また多結晶シリコンを半導体とした実施例を示したが、単結晶シリコン、カドニウムセレンアイド、シリコンゲルマニウム合金など単結晶、多結晶、非晶質と構造、あるいは材料を問わない。

【0011】

【発明の効果】本発明の薄膜トランジスタによれば、被覆性等が向上するので信頼性の高いトランジスタが得られ、かつ、簡単にLDD構造が得られるので安価なトランジスタを提供できる。また、本発明の製造方法によれば、イオン注入工程が減り、コストを下げるができる。さらに、陽極酸化を用いれば、精度良くLDD構造ができる。さらには、低いイオン注入量である領域すなわちLightly Dopedの領域の直上にゲート電極がある構造すなわちゲートオーバーラップ構造ともなり、信頼性の高いトランジスタが再現性よくしかも容易に実現できる。

【図面の簡単な説明】

【図1】本発明実施例1の製造工程を示す図である。

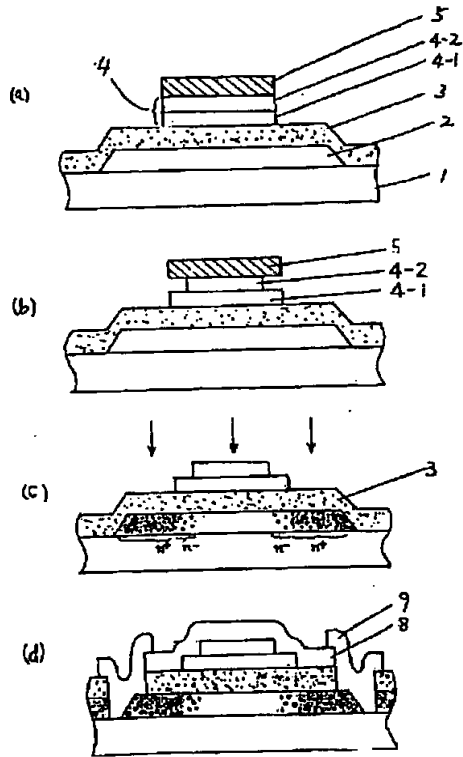
【図2】本発明実施例2の製造工程を示す図である。

【図3】従来技術による薄膜トランジスタの製造工程を示す図である。

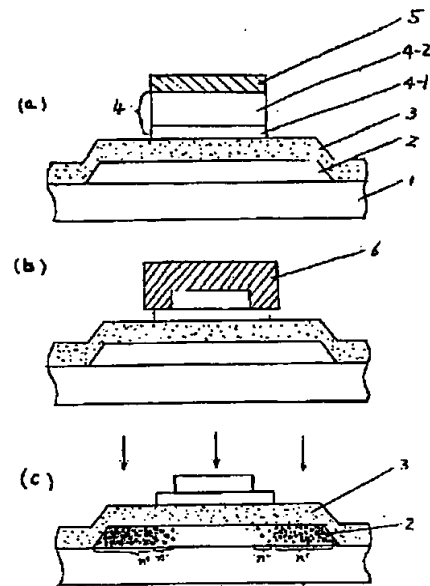
【符号の説明】

- 3 ゲート絶縁膜
- 4 ゲート電極
- 4-1 第1層
- 4-2 第2層
- 6 陽極酸化膜
- 8 層間絶縁膜
- 9 配線

【図1】



【図2】



【図3】

